

(51)Int.Cl.⁵識別記号 庁内整理番号 F I 技術表示箇所
H 0 4 N 7/00 A 9187－5C
11/04 B 7337－5C

審査請求 未請求 請求項の数 2 (全 9 頁)

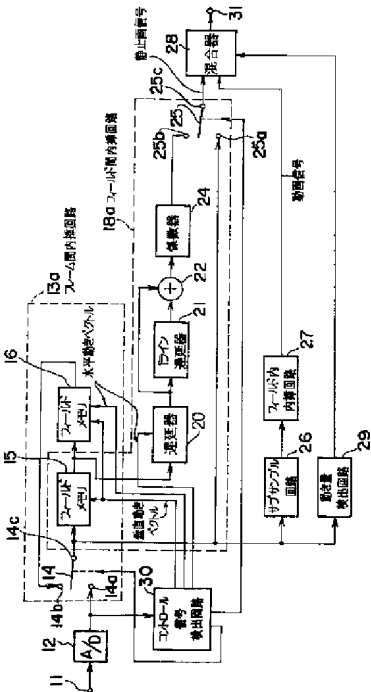
(21)出願番号	特願平4－332420	(71)出願人	000004329 日本ビクター株式会社 神奈川県横浜市神奈川区守屋町 3 丁目12番 地
(22)出願日	平成 4 年(1992)11月18日	(72)発明者	柳澤 毅 神奈川県横浜市神奈川区守屋町 3 丁目12番 地 日本ビクター株式会社内
		(72)発明者	打田 友昭 神奈川県横浜市神奈川区守屋町 3 丁目12番 地 日本ビクター株式会社内

(54)【発明の名称】 MUSEデコーダ

(57)【要約】

【目的】 帯域圧縮された信号であるMUSE信号を元の広帯域なテレビジョン信号に復調するMUSEデコーダに関する。特に、フレーム間補間時のみならず、フィールド間補間時にも垂直・水平の両方向の動き補正を行うことにより、極めて良好な静止画像を得ることを目的としている。

【構成】 フィールド間内挿における垂直方向の動き補正は、垂直動きベクトルにより、フィールドメモリ15での遅延量をライン単位で増減させ、そのメモリ15での遅延量と遅延器20との合計遅延量を制御する。これにより、1フィールド前の信号である内挿データ（係数器24の出力）の垂直位相を現フィールドの信号の垂直位相と一致させ、動き補正を行う。位相の一致した2つの信号を用いて、セレクタ25でフィールド間内挿（補間）を行う。



【特許請求の範囲】

【請求項1】4フィールドで一巡するオフセットサブサンプリングにより帯域圧縮され、かつ画像の動き量と方向を示す動きベクトルを少なくとも含んだコントロール信号を有するテレビジョン信号を元の広帯域なテレビジョン信号に復調するMUSEデコーダであり、

フレーム間内挿回路及びフィールド間内挿回路を有する静止画処理回路と、

動画処理回路と、

前記コントロール信号中の前記動きベクトルを検出するコントロール信号検出回路と、

動き量検出回路と、

前記動き量検出回路の出力に応じ前記静止画処理回路の出力と前記動画処理回路の出力とを適応混合して出力する混合回路とを具備し、

前記フレーム間内挿回路は、前記コントロール信号検出回路から出力される前記動きベクトルにより水平及び垂直の両方向に動き補正を行うMUSEデコーダにおいて、

前記フィールド間内挿回路を、前記コントロール信号検出回路から出力される前記動きベクトルにより水平及び垂直の両方向に動き補正を行う回路としたことを特徴とするMUSEデコーダ。

【請求項2】請求項1記載のMUSEデコーダにおいて、前記フィールド間内挿回路は、前記フレーム間内挿回路の出力を入力信号とする遅延量可変の第1の遅延器と、

前記第1の遅延器の出力を入力信号とする第2の遅延器と、

前記第1及び第2の遅延器の出力を加算する加算器と、

前記加算器の出力のレベルを $1/2$ にする係数器と、

前記係数器の出力または前記第1の遅延器の出力のどちらかを選択出力する第1のセレクトと、

前記第1のセレクトの出力または前記第1の遅延器への入力信号のどちらかを選択出力する第2のセレクトとを有し、

前記コントロール信号検出回路から出力される前記動きベクトルにより、前記第1の遅延器の遅延量と、前記第1のセレクトとを制御することを特徴とするMUSEデコーダ。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は、帯域圧縮された信号であるMUSE信号を元の広帯域なテレビジョン信号に復調するMUSEデコーダに関する。そして、この発明は特に、フレーム間補間（内挿）時のみならず、フィールド間補間（内挿）時にも垂直・水平の両方向の動き補正を行うことにより、極めて良好な静止画像を得ることができるMUSEデコーダを提供することを目的としている。

【0002】

【従来の技術】高品位テレビジョン信号を帯域圧縮して衛星放送で伝送可能にするMUSE方式による試験放送が現在行われている。

【0003】MUSEは、Multiple Sub-Nyquist Sampling Encoding の略であり、日本放送協会（NHK）が開発した方式である。MUSE信号は、4フィールドで一巡するオフセットサブサンプリングにより帯域圧縮され、かつ画像の動き量と方向を示す動きベクトルを少なくとも含んだコントロール信号を有するテレビジョン信号である。MUSE方式の詳細については、各種文献（日経エレクトロニクス：1987年11月2日号の「衛星を使うハイビジョン放送方式MUSE」等）に記載されているので、ここでは省略する。

【0004】図6は、MUSE信号を元の広帯域なテレビジョン信号に復調するための従来のMUSEデコーダのブロック図である。

【0005】MUSE信号は、入力端子11に供給され、A/D変換器12により16MHzレートのデジタル信号に変換される。変換された信号は、フレーム間内挿回路13に入力される。フレーム間内挿回路13は、セレクト14、フィールドメモリ15及びフィールドメモリ16により構成される。

【0006】セレクト14の入力端子14aより入力された信号はセレクト14の共通端子14cを介しフィールドメモリ15に書き込まれる。フィールドメモリ15より読み出された信号は、フィールドメモリ16に書き込まれる。そして、フィールドメモリ16より読み出された信号は、セレクト14の入力端子14bに供給される。入力端子14bに供給される信号は、入力端子14aに供給される信号に対して2フィールド（即ち1フレーム）遅延された信号である（フィールドメモリ15、16により2フィールド遅延される）。そこで、コントロール信号検出回路30によりMUSE信号から検出されたコントロール信号に含まれるフレーム間サブサンプル位相により生成したフレーム間サブサンプルパルスにより、セレクト14を制御し、入力端子14a、14bに供給された信号（現フィールドの信号及び2フィールド前の信号）を交互に出力するようにする。こうして、内挿回路13はフレーム間内挿を行い、32MHzレートの信号として出力する。

【0007】フレーム間内挿回路13より出力された信号は、フィールド間内挿回路18及びサブサンプル回路26に供給される。

【0008】フィールド間内挿回路18はフレーム間内挿回路13と共に静止画処理回路を成す。フィールド間内挿回路18は、フィールドメモリ19、1ライン遅延器21、加算器22、係数器24及びセレクト25により構成される。

【0009】前記のフレーム間内挿された信号は、フィ

ールドメモリ19及びセクタ25の入力端子25aに供給される。フィールドメモリ19の出力は1ライン遅延器21及び加算器22に供給され、1ライン遅延器21の出力もまた加算器22に供給される。そして、加算器22の出力は係数器24により1/2倍され、セクタ25の入力端子25bに供給される。

【0010】ここで、フィールドメモリ19に入力される信号に対して出力される信号が、562ライン遅延するようにフィールドメモリ19を制御する。その結果、セクタ25の入力端子25bには、フィールド間内挿回路18に入来した信号に対して、562ライン遅延した信号と563ライン遅延した信号との平均をとった信号が供給される。この信号を内挿データとし、セクタ25の入力端子25aに入力された信号と内挿データとが交互に、入力された信号の2倍の周波数でセクタ25より出力されるようにセクタ25を制御する。この制御は、コントロール信号検出回路30により検出したコントロール信号中に含まれるフィールド間サブサンプル位相により生成したフィールド間サブサンプルパルスにより行う。こうして、フィールド間内挿処理がなされる。

【0011】前述のように、入力端子25aには、現フィールドとその2フィールド前の信号との2つの信号が交互にフレーム間内挿回路13より供給される。一方、入力端子25bには、フレーム間内挿回路13の出力信号よりさらに1フィールド前の信号、即ち、現フィールドの信号に対し1フィールド前の信号と3フィールド前の信号とが交互に供給される。よって、出力端子25cには4フィールド間のデータで構成された信号が静止画信号として出力される。

【0012】次に、サブサンプル回路26及びフィールド内内挿回路27は動画処理回路である。フレーム間内挿回路13の出力がサブサンプル回路26に入力される。フレーム間内挿された信号は、現フィールドの信号とその2フィールド前の信号とにより構成されているため、サブサンプル回路26により現フィールドの信号のみを抽出し、その信号に内挿回路27によってフィールド内内挿処理を施し動画信号を得ている。

【0013】静止画信号と動画信号とはそれぞれ混合器28に入力され、動き量検出回路29の出力により混合割合が制御されて混合される。そして、出力端子31より出力される。

【0014】動き量検出回路29は、現フィールドの信号に対し1フレーム及び2フレーム前の信号との差分値を求め、それを基に動き量を検出し、混合器28へ出力する。

【0015】ここで、MUSE方式では、カメラのパン・チルト等により画像全体がある一定方向に移動した場合、1フレーム前の画像との相関により画像の移動速度を求め、その速度を水平・垂直の動きベクトルとして、

送信側でコントロール信号中に含め伝送している。水平動きベクトルは、1フレーム間の画像の水平移動量、垂直動きベクトルは、1フィールド間の画像の垂直移動量を表す。そして、MUSEデコードでは、内挿処理を行うに当たり、この水平・垂直の動きベクトルをコントロール信号検出回路30により検出し動き補正を行っている。

【0016】フレーム間内挿回路13における動き補正処理は、フィールドメモリ16の遅延量を変えることにより、1フレーム前のデータの位相を現フィールドのデータの位相と合わせることにより行う。その際、水平・垂直の動きベクトルの双方を用いる。水平動きベクトルは、1フレーム間の移動量を示すものであり、この水平動きベクトルをそのまま用いてフィールドメモリ16の遅延量を制御し、水平方向の動き補正を行う。垂直動きベクトルは1フィールド間の移動量を示すものであるため、1フィールド前の垂直動きベクトルと現在の垂直動きベクトルとを加算することにより1フレーム間の移動量を求め、その値でフィールドメモリ16の遅延量を制御し、垂直方向の動き補正を行う。

【0017】動き量検出回路29では、動き量の検出に際し、現フィールドの信号と、上述のフィールドメモリ16で動き補正された信号とを用いるため、画像全体がある一定方向に移動した場合は動き量が検出されず、この場合、動き量検出回路29は、混合器28の出力が完全に静止画処理された信号となるように混合器28を制御する。

【0018】また、フィールド間内挿回路18において内挿処理を行う際も動き補正が施される。この場合、フィールドメモリ19の遅延量を変化させることにより内挿データを現フィールドの画像の位相に合わせ動き補正を行う。ただし、フィールド間内挿における動き補正は水平方向の補正のみ行う。その際、コントロール信号検出回路30で検出した水平動きベクトルから1フィールド間の移動量を求め、その値でフィールドメモリ19での遅延量を制御する。

【0019】

【発明が解決しようとする課題】図6に示す従来のMUSEデコードでは、フレーム間内挿処理時、水平・垂直の動きベクトルの両方を用いて動き補正を行い、フィールド間内挿処理時には水平動きベクトルのみを用い動き補正を行っている。このため、フレーム間内挿時のみ垂直方向の動き補正が行われることになる。その結果、画像データの動き量が検出されずに静止画信号として処理される場合にもかかわらず、フィールド間内挿処理は、垂直方向の位相が完全には一致していないデータにより内挿処理が行われるため、完全な静止画を得ることができなかった。

【0020】この発明が解決しようとする課題は、良好な静止画を得ることができるMUSEデコードとするに

は、どのような手段を講じればよいかという点にある。

【0021】

【課題を解決するための手段】そこで、上記課題を解決するために本発明は、

【0022】4フィールドで一巡するオフセットサブサンプリングにより帯域圧縮され、かつ画像の動き量と方向を示す動きベクトルを少なくとも含んだコントロール信号を有するテレビジョン信号を元の広帯域なテレビジョン信号に復調するMUSEデコーダであり、

【0023】フレーム間内挿回路及びフィールド間内挿回路を有する静止画処理回路と、

【0024】動画処理回路と、

【0025】前記コントロール信号中の前記動きベクトルを検出するコントロール信号検出回路と、

【0026】動き量検出回路と、

【0027】前記動き量検出回路の出力に応じ前記静止画処理回路の出力と前記動画処理回路の出力とを適混混合して出力する混合回路とを具備し、

【0028】前記フレーム間内挿回路は、前記コントロール信号検出回路から出力される前記動きベクトルにより水平及び垂直の両方向に動き補正を行うMUSEデコーダにおいて、

【0029】前記フィールド間内挿回路を、前記コントロール信号検出回路から出力される前記動きベクトルにより水平及び垂直の両方向に動き補正を行う回路としたことを特徴とするMUSEデコーダを提供するものである。

【0030】

【実施例】本発明のMUSEデコーダは、フィールド間内挿時にも水平・垂直両方向の動きベクトルを用い動き補正を行うようにし、良好な静止画を得るようにしたものである。

【0031】図1は本発明によるMUSEデコーダの一実施例のブロック図である。図6の従来例と同一部分には同一の符号を付し、その部分の具体的説明は省略する。

【0032】図1に示す実施例においては、フレーム間内挿回路13aのセクタ14の出力信号及びフィールドメモリ15の出力信号が、それぞれフィールド間内挿回路18aに入力される。セクタ14の出力信号は、セクタ25の入力端子25aに供給され、フィールドメモリ15からの出力信号は、遅延量可変の遅延器20に供給される。遅延器20の出力は1ライン遅延器21及び加算器22に供給され、1ライン遅延器21の出力もまた加算器22に供給される。そして、加算器22の出力は係数器24により1/2倍され、セクタ25の入力端子25bに供給される。フィールドメモリ15には、垂直の動きベクトルがコントロール信号検出回路30から供給される。その他の構成は従来例と同一である。

【0033】この実施例では、フレーム間内挿処理は、フィールドメモリ15及び16を用い従来例と同様に水平・垂直両方向の動き補正を施して行う。フィールド間内挿処理は、フィールドメモリ15及び遅延器20を用い、新たに水平・垂直両方向の動き補正を施して行う。

【0034】次に、内挿処理について説明する。まず、水平・垂直とも動き補正を行わずにフレーム間、フィールド間内挿を行う場合は、フィールドメモリ15、16での遅延量の合計が1フレーム(1125ライン)となるようフィールドメモリ15及び16を制御し、セクタ14でフレーム間内挿を行う。また、フィールド間内挿は、フィールドメモリ15及び遅延器20での遅延量が562ラインとなるように制御し、加算器22と係数器24とにより、セクタ25の入力端子25aに入力される信号に対して562ライン前の信号と563ライン前の信号との平均を求め、セクタ25でフィールド間内挿を行う。

【0035】水平方向の動き補正は、従来例と同様にフレーム間内挿時、フィールド間内挿時にそれぞれ行う。フレーム間内挿時の水平方向の動き補正は、フィールドメモリ16における遅延量を水平動きベクトルによりデータ単位で増減させ、セクタ14の入力端子14aの入力信号の現フィールドの信号と、入力端子14bの入力信号とで、1フレーム前の信号である内挿データの位相を一致させることにより行う。フィールド間内挿時における水平方向の動き補正は、水平動きベクトルより1フィールド間の移動量を求め、その値により遅延器20での遅延量をデータ単位で増減させることにより同様にを行う。

【0036】垂直方向の動き補正は、垂直動きベクトルを用い、フィールドメモリ15及び16に同時に動き補正を施す。

【0037】本実施例のポイントであるフィールド間内挿における垂直方向の動き補正は、垂直動きベクトルにより、フィールドメモリ15での遅延量をライン単位で増減させ、遅延器20との合計遅延量を制御し、1フィールド前の信号である内挿データの位相を現フィールドの信号の位相と一致させて行う。位相の一致した2つの信号を用いて、セクタ25でフィールド間内挿を行う。

【0038】ここで、フレーム間内挿処理側のフィールドメモリ15及び16に垂直動きベクトルで毎フィールドごとに動き補正を施すため、フィールドメモリ16で垂直動き補正が施される信号は、既に1フィールド前にフィールドメモリ15において動き補正が施された信号である。従って、フィールドメモリ15及び16において、2フィールド間の動きベクトルにより垂直方向の動き補正が施されることになり、この信号を内挿信号としてセクタ14でフレーム間内挿を行う。これは、前述した従来例において、現在の垂直動きベクトルと1フィ

ールド前の垂直動きベクトルを加算し、フレーム単位でフィールドメモリ16において動き補正を施していることに他ならない。

【0039】図2は、画面全体が1フレーム(2フィールド)当り2ラインずつ画面下方に移動する場合のフィールド間内挿及びフレーム間内挿の様子を示している。画面全体が1フレーム当り2ラインずつ画面下方に移動するため、図2に黒い菱形で記した2つの走査線は同一の内容の信号となる。従って、現フィールドの信号に対して563ライン前の信号と564ライン前の信号を用いてフィールド間内挿を施し、1127ライン前の信号を用いてフレーム間内挿を施せば、完全な静止画が得られる。そこで、フィールドメモリ15と遅延器20との合計遅延量が563ラインとなるように、さらに、フィールドメモリ15及び16における合計遅延量を1127ライン(1フレーム+2ライン)となるように垂直動きベクトルにより制御し、フィールド間、フレーム間内挿を行う。

【0040】画面全体の垂直方向の移動速度がその他の速度の場合であっても同様にして制御すれば対応できる。また、画面全体が水平・垂直にある一定の速度で移動している場合(斜め方向への移動)で、水平・垂直方向動き補正を同時に行う場合は、上述した水平・垂直それぞれの動きベクトルによる補正を複合的に行うことにより実現できる。

【0041】次に、図3に他の実施例を示す。図6と同一部分には同一の符号を付す。従来例に対して異なる点は、フィールド間内挿回路18bにセレクト23を設け、フィールドメモリ19に垂直動きベクトルを供給するようにした点であり、以下、フィールド間内挿回路18bについて説明する。

【0042】フィールド間内挿回路18bでは、フレーム間内挿回路13から入力された信号は、フィールドメモリ19及びセレクト25の入力端子25aに供給される。フィールドメモリ19の出力は1ライン遅延器21、加算器22及びセレクト23の入力端子23aに供給される。1ライン遅延器21の出力は加算器22に供給される。そして、加算器22の出力レベルは係数器24により1/2にされ、セレクト23の入力端子23bに供給される。また、セレクト23の出力は、セレクト25の入力端子25bに供給される。コントロール信号検出回路30によって検出された水平・垂直の動きベクトルにより、フィールドメモリ19によって動き補正を施し、セレクト25でフィールド間内挿を行う。

【0043】水平・垂直とも動きベクトルによる動き補正を行わない場合、フィールドメモリ19での遅延量が562ライン分の遅延となるように制御する。そして、セレクト23を、入力端子23bに入来した信号が常に出力されるように制御し、セレクト25の入力端子25bには、フィールド間内挿回路18bに入力された信号

よりも562ライン遅延した信号と563ライン遅延した信号との加算平均をとった信号を供給する。入力端子25aと25bとに入力された信号が、セレクト25より交互に出力されるようにセレクト25を制御しフィールド間内挿を行う。

【0044】画面全体が水平方向のみに、ある速度で平行移動している場合(垂直方向の動き補正を行う必要がない場合)、水平方向の動き補正を行うため、水平動きベクトルによりフィールドメモリ19の遅延量をデータ単位で562ラインより増減させる。その他は、上述した水平・垂直とも動きベクトルが0の場合と同様に制御し、内挿信号(セレクト23の出力)の水平位相を、セレクト25の入力端子25aに入力される現フィールドの信号の水平位相と一致させて動き補正を行った後、フィールド間内挿を行う。

【0045】画面全体が垂直方向のみにある一定速度で移動している場合(水平方向の動き補正を行う必要がない場合)、垂直方向の動き補正を行うため、垂直動きベクトルによりフィールドメモリ19の遅延量をライン単位で増減させる。また、セレクト23切り換えも垂直動きベクトルにより制御する。

【0046】図4は、画面全体が1フレーム(2フィールド)当り1ラインずつ画面下方に移動する場合のフィールド間内挿の様子を示している。画面全体が1フレーム当り1ラインずつ画面下方に移動するため、図4に黒丸印で記した3つの走査線は同一の内容の信号となり、現フィールドの信号に対して563ライン前の信号のみを用いてフィールド間内挿を施せば完全な静止画が得られる。そこで、フィールドメモリ19の遅延量が563ラインとなるようにし、セレクト23の入力端子23aに入力された信号、即ち、フィールドメモリ19よりの出力信号のみがセレクト23より出力されるように制御し、セレクト25を用いフィールド間内挿を行う。

【0047】図5は、画面全体が1フレーム当り4ラインずつ画面上方に移動する場合のフィールド間内挿の様子を示している。この場合、図5に黒い四角印で記した走査線は同一の内容の信号となる。そこで、フィールドメモリ19での遅延量が560ラインとなるように制御し、加算器22には560ライン遅延した信号と561ライン遅延した信号を入力する。そして、セレクト23より、入力端子23bに入力された信号、即ち、560ライン遅延と561ライン遅延の信号の加算平均をとった信号のみが出力されるようにし、セレクト25において現フィールドの信号とフィールド間内挿を行う。

【0048】画面全体の垂直方向の移動速度がその他の速度の場合、また、画面全体が水平・垂直にある一定の速度で移動している場合(斜め方向への移動)も、同様に実現できる。

【0049】なお、図3に示す実施例は、図1に示す実施例よりも従来例との構成上の差が少なく、容易に実現

できる。

【0050】

【発明の効果】以上の通り、本発明になるMUSEデコーダは、フレーム間内挿（補間）時のみならずフィールド間内挿（補間）時にも垂直・水平の両方向の動き補正を行うことにより、より完全に近い静止画を得ることが可能となり、極めて良好な画像を提供することができる。

【図面の簡単な説明】

【図1】一実施例を示すブロック図である。

【図2】図1に示す実施例の動作を説明図である。

【図3】他の実施例を示すブロック図である。

【図4】図3に示す実施例の動作を説明図である。

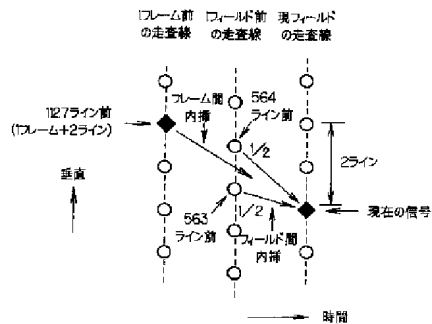
【図5】図3に示す実施例の動作を説明図である。

【図6】従来例を示す図である。

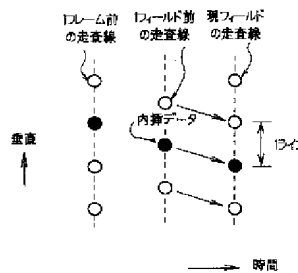
【符号の説明】

- 11 入力端子
- 12 A/D変換器
- 13, 13a フレーム間内挿回路
- 14, 23, 25 セレクタ
- 15, 16, 19 フィールドメモリ
- 18a, 18b フィールド間内挿回路
- 20 遅延器
- 21 1ライン遅延器
- 22 加算器
- 24 係数器
- 26 サブサンプル回路
- 27 フィールド内内挿回路
- 28 混合器
- 29 動き量検出回路
- 30 コントロール信号検出回路
- 31 出力端子

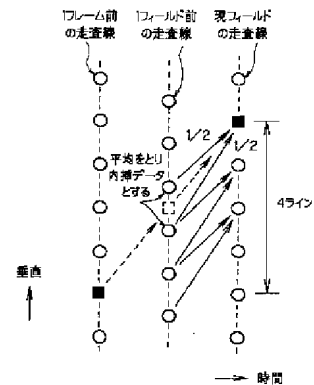
【図2】



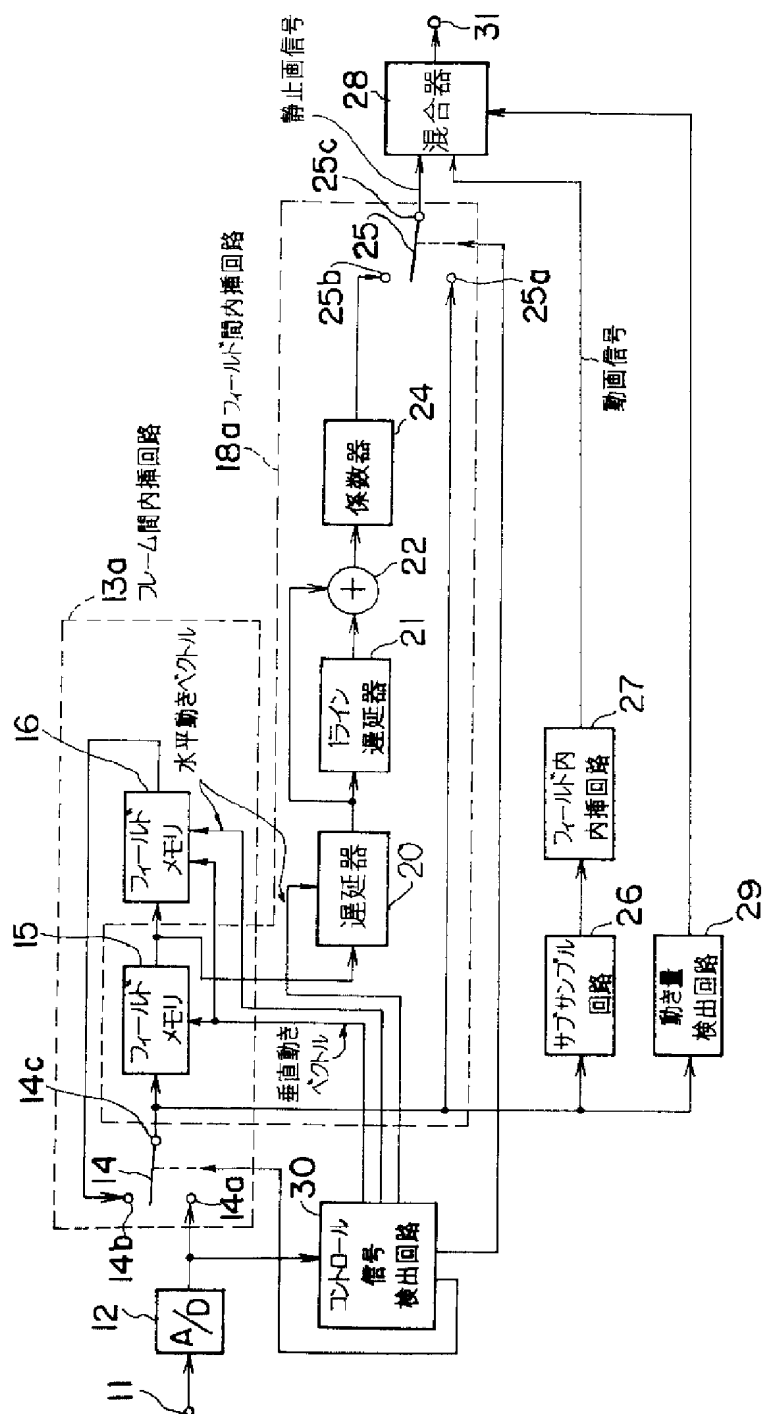
【図4】



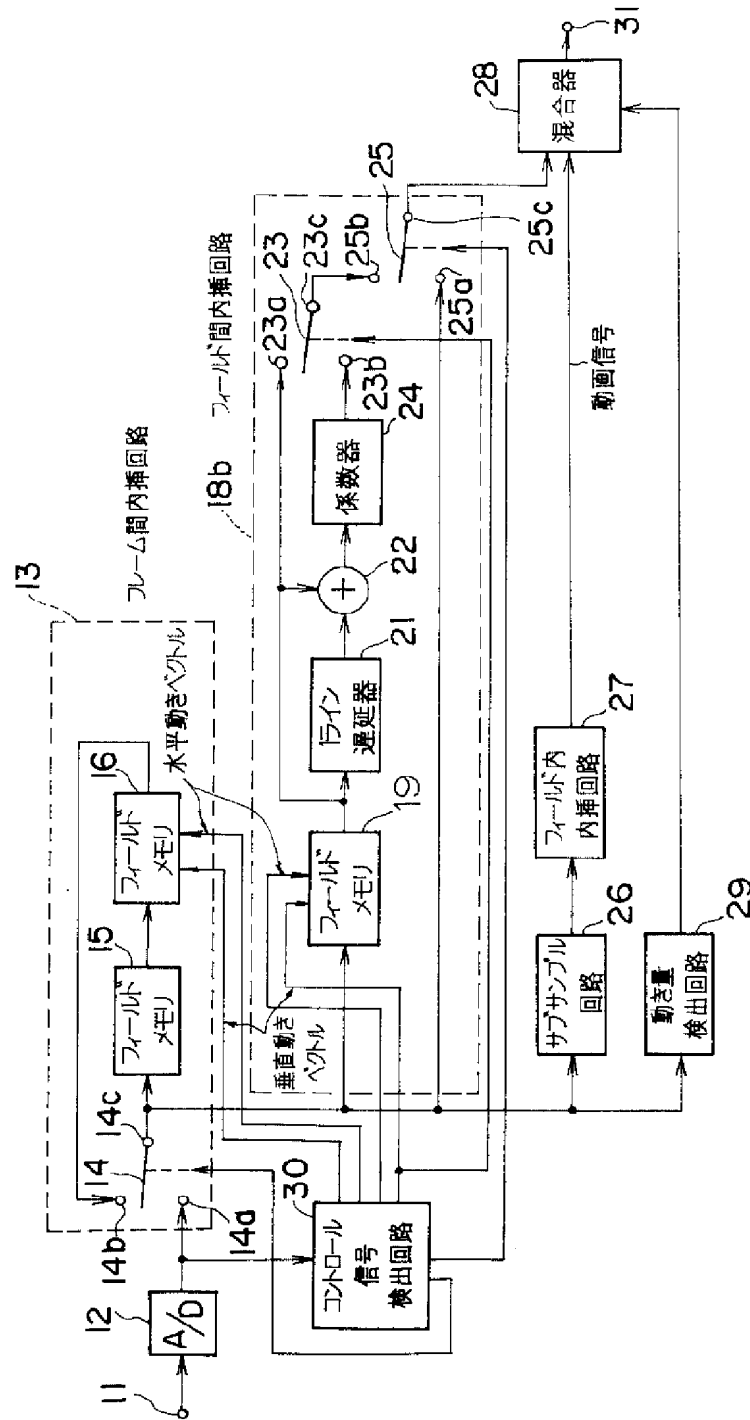
【図5】



【例 1】



【図3】



【図6】

